

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **01-164067**
 (43)Date of publication of application : **28.06.1989**

(51)Int.CI. **H01L 29/72**
H01L 27/08

(21)Application number : **63-188501** (71)Applicant : **FAIRCHILD SEMICONDUCTOR CORP**
 (22)Date of filing : **29.07.1988** (72)Inventor : **VORA MADHUKAR B**

(30)Priority
 Priority number : **87 79626** Priority date : **29.07.1987** Priority country : **US**

(54) COMPLEMENTARY VERTICAL BIPOLAR TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To manufacture an NPN contactless vertical transistor(TR) or/and a PNP contactless vertical TR through a single process by using a sequence of specific masking processes.

CONSTITUTION: In a 1st masking process, a P-tab and a buried layer for the NPN TR are formed and in a 2nd step, a channel stopper for the PNP TR and a buried layer for a PNP TR are formed. In a 3rd masking step, separate oxidation is carried out and in a 4th step, the sink of the, NPN TR and the ground of the PNP TR are formed. In a 5th step, the base of the NPN TR is formed and in a 6th step, the base of the PNP TR is formed. In a 7th masking step, N type ion injection is performed and in an 8th masking step, P type ion implantation is carried out. In a 9th and a 10th masking step, silicide removing technology is implemented, a resistance and a diode are defined, and a polysilicon layer is patterned and formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑪ 公開特許公報 (A)

平1-164067

⑤Int.Cl.⁴H 01 L 29/72
27/08

識別記号

101

庁内整理番号

8526-5F

C-7373-5F

⑥公開 平成1年(1989)6月28日

審査請求 有 請求項の数 4 (全10頁)

⑦発明の名称 相補型コンタクトレス垂直バイポーラトランジスタの製造方法

⑧特願 昭63-188501

⑨出願 昭63(1988)7月29日

優先権主張 ⑩1987年7月29日⑪米国(US)⑫79,626

⑬発明者 マジュカール ビイ・ボラ アメリカ合衆国, カリフォルニア 95303, ロス ガト

⑭出願人 フエアチャイルド セミコンダクタ コーポ ラ, セミコンダクタ ドライブ 2900

⑮代理人 弁理士 小橋 一男 外1名

明細書

1. 発明の名称

相補型コンタクトレス垂直バイポーラトランジスタの製造方法

2. 特許請求の範囲

1. 第1導電型の半導体基板上に相補型垂直バイポーラトランジスタを製造する方法において、前記基板上に反対導電型の第1エピタキシャル層を形成し、前記第1エピタキシャル層の第1領域内に前記第1導電型の高速拡散ドーパントを導入してウエルを形成すると共に反対導電型の低速拡散ドーパントを導入して埋込層を形成し、前記第1エピタキシャル層の第2領域内に第1導電型のドーパントを導入して埋込層を形成し、前記第1エピタキシャル層上に第2エピタキシャル層を形成し、前記第1領域及び第2領域の上方で前記第2エピタキシャル層内に夫々のシリコン島状部を形成し、前記第1領域上方で前記エピタキシャルシリコン島状部内に第1導電型のポリシリコンエミッタトランジスタを形成し、前記第2領域上方

で前記分離島状部内に第2導電型のポリシリコンエミッタトランジスタを形成する上記各ステップを有しており、前記第2導電型のトランジスタは前記第1導電型のトランジスタと相補的であることを特徴とする方法。

2. 第1導電型の半導体基板上に相補型垂直バイポーラトランジスタを製造する方法において、前記基板上のエピタキシャルシリコン層内の第1導電型のウエルであって前記基板と電気的に一体化されているウエル内において反対導電型の埋込層が下側に存在する第1エピタキシャル島状部を形成し、前記第1エピタキシャルシリコン島状部内に第1導電型のポリシリコンエミッタトランジスタを形成し、反対導電型の前記エピタキシャルシリコン層の領域内に第1導電型の埋込層が下側に存在する第2エピタキシャルシリコン島状部を形成し、前記第2分離島状部内に第2導電型のポリシリコンエミッタトランジスタを形成する上記各ステップを有しており、前記第2導電型のトランジスタは前記第1導電型のトランジスタと相補

的であることを特徴とする方法。

3. 相補的垂直バイポーラトランジスタ構成体において、第1導電型の基板、前記基板上の第1エピタキシャル層であってその第1領域が第1導電型であり且つ前記基板と電気的に一体化されており且つその第2領域は反対導電型である第1エピタキシャル層、前記第1エピタキシャル層の前記第1領域上方で第2エピタキシャル層内に固定された第1エピタキシャルシリコン島状部であってその下側には反対導電型の第1埋込層が存在しており且つ反対導電型の第1ポリシリコンエミッタ及び前記第1エミッタと前記第1埋込層との間に延在する第1導電型のベース領域を持つてゐる第1エピタキシャルシリコン島状部、及び前記第1エピタキシャルの前記第2領域上方で前記第2エピタキシャル層内に固定されている第2エピタキシャルシリコン島状部であって前記第1導電型の第2埋込層が下側に存在しており且つ第1導電型の第2ポリシリコンエミッタ及び前記第2エミッタと前記第2埋込層との間に延在する反対導

電型のベース領域を持った第2エピタキシャルシリコン島状部、を有することを特徴とする相補的垂直バイポーラトランジスタ構成体。

4. 相補的垂直バイポーラトランジスタ構成体において、第1導電型の基板、前記基板と電気的に一体化され且つその上に形成された第1導電型のエピタキシャル領域に渡って固定された第1エピタキシャルシリコン島状部であってその下側は反対導電型の第1埋込層が存在しており且つ反対導電型のポリシリコンエミッタ及び前記第1エミッタと前記第2埋込層との間に延在する第1導電型のベース領域を持った第1エピタキシャルシリコン島状部、前記基板上に形成した反対導電型のエピタキシャル領域に渡って固定された第2エピタキシャルシリコン島状部であって前記第1導電型の第2埋込層がその下側に存在しており且つ第1導電型の第2ポリシリコンエミッタ及び前記第2エミッタと前記第2埋込層との間に延在する反対導電型のベース領域を持った第2エピタキシャルシリコン島状部、を有することを特徴とする

相補型垂直バイポーラトランジスタ構成体。

3. 発明の詳細な説明

技術分野

本発明は、集積回路装置及びその製造方法に関するものであって、更に詳細には、相補型コンタクトレス垂直バイポーラトランジスタ及びその製造方法に関するものである。

従来技術

コンタクトレスバイポーラトランジスタ技術における最近の発展により、簡略化した相互接続構成体を具備する一層小型のバイポーラ装置とすることを可能とし、その際に電力散逸を低下させ且つ歩留を向上させることを可能としている。これらの発展は、エミッタ構成体用にポリシリコンを使用することを包含しており、そのことは、極めて狭いエミッタを製造することを許容し、ベースとエミッタとの間の臨界的な間隔が同一のマスクレベルにおいてポリシリコン内に固定される合成マスキングを使用すること、エミッタ相互接続用に従来の銅をドープしたアルミニウムの代わりに

信頼性のある電流担持体を提供するポリシリサイドを使用すること、及び、例えばベース、エミッタ、及びコレクタ領域を被覆するポリシリサイドがポリシリコン特徴部と整合され且つ+ポリシリコンがエミッタと整合される様な高度の自己整合を使用すること等を許容する。

上述した発展は1986年9月2日にKoh et al.に発行された米国特許第4,609,568号に記載されており、その特許は、自己整合されたポリシリコンエミッタ及びベースコンタクトを持ったバイポーラ集積回路上にメタルシリサイドの自己整合領域を製造する方法を示している。シリコン基板上にポリシリコンを付着し、次いで適宜ドープし且つ保護用塗化物の層でコーティングする。酸化マスク（シリサイド除去マスクとしても業界で知られている）及びポリ固定マスクを包含するプロセスシーケンスの後に、ベース、エミッタ、及びコレクタの各コンタクトを該ポリシリコン内に形成し、且つシリサイドを除去すべきポリシリコン区域を固定する。その後に、(a)熱ドラ

イブインステップにより、夫々のポリシリコンコンタクトに自己整合したベース及びエミッタを形成し、且つ(b)熱融化ステップにより、活性区域をバッシャートし且つシリサイドを除去すべき区域上方に酸化物を形成し、その際に自己整合したシリサイドを露出した全てのポリシリコンの上方に形成させることが可能である。

然し乍ら、ポリエミッタ、合成ポリ固定マスク、シリサイド相互接続システム、及び自己整合型特徴部等の利点を、全て過剰な歴のマスキングステップを行なうこと無しに、維持しながら、垂直NPNトランジスタと垂直PNPトランジスタのいずれか又は両方を提供するバイポーラプロセス乃至は製造方法に対する必要性は依然として残存している。

目的

本発明は、以上の点に鑑みなされたものであつて、上述した如き従来技術の欠点を解消し、NPNコンタクトレス垂直トランジスタ又はPNPコンタクトレス垂直トランジスタ、又はその両方を

ス)		
8	P+ポリ注入 (NPN外因的ベース)	P+ポリ注入 (PNPエミッタ)
9	ポリ固定	ポリ固定
10	シリサイド除去 (抵抗とダイオード用)	シリサイド除去 (抵抗とダイオード用)
11	コンタクト	コンタクト
12	第1メタル	第1メタル
13	貫通導体(ビア)	貫通導体(ビア)
14	第2メタル	第2メタル
15	引っ掛け保護	引っ掛け保護

マスキングステップ第6番無しで優秀な品質のNPNトランジスタを製造することが可能であり、従って、NPN及びPNPトランジスタの両方を形成する為のプロセス即ち方法は、單に1つの付加的なマスキングステップを必要とするに過ぎない。マスキングステップ6番に加えて、本発明の相補的バイポーラトランジスタは、NPNプロセスのみの場合に必要とされるものを超えて2つの

形成するのに適した單一のプロセス乃至は製造方法及びその結果得られるトランジスタ構成体を提供することを目的とする。

構成

本発明の目的は、以下の表1内に要約したプロセスステップのシーケンスによって達成される。「NPNデバイス」及び「PNPデバイス」と示した者は、夫々のデバイス即ち装置の製造におけるマスキングステップの為の目的を示している。

表1

マスク	NPNデバイス	PNPデバイス
1	埋込層とPータブ	—
2	チャンネルストップ	埋込層
3	分離酸化	分離酸化
4	シンク	接地
5	ベース(NPNのみ)	シンク
6	—	ベース(PNPのみ)
7	N+ポリ注入 (NPNエミッタ)	N+ポリ注入 (PNP外因的ベ-

付加的なイオン注入、即ち、P-ウエル形成用のアルミニウムのイオン注入と、PNPトランジスタのベースを形成する為のN型イオン注入である。

更に、PNPトランジスタのみの製造には、マスキングステップ5は必要ではない。

本発明は、垂直NPNトランジスタに加えて、ラテラルPNPトランジスタではなく、垂直PNPトランジスタを提供している。一般的に、垂直トランジスタは、取り分け、キャリアの回収性能が優れているので、ラテラルトランジスタよりも一層優れている。従って、相補的なラテラルPNPトランジスタと垂直NPNトランジスタとを与えるプロセスは、ラテラルトランジスタによって課される性能劣化を許容することの可能な適用に對してのみ使用可能である。

実施例

以下、添付の図面を参考に、本願発明の具体的実施の態様に付いて詳細に説明する。

本発明の相補的垂直バイポーラトランジスタを製造する場合、高導電度を持ったシリコン基板1

0を開始物質として好適に選択される。以下の説明から明らかになる如く、高導電度という特徴は、基板がNPNトランジスタ用の接地タップとして作用するので、所望されることである。適切な開始物質は、結晶配向<100>を持っており且つ約0.001Ω·cmの固有抵抗を持ったP型シリコンウエハである。本発明の目的の為に、シリコン基板10には、第1N型エピタキシャル層12がその上に設けられている(第1図参照)。厚さが5ミクロンであり且つ 1×10^{15} 原子/cm²の濃度で焼をドープしたエピタキシャル層12とする良い。

次の処理シーケンスにおいて、NPNトランジスタ用のP-タブ(ウェル)及び埋込層を形成し、その結果得られる構成を第1図に示してある。約5,000Åの厚さの熱二酸化シリコン層14を、エピタキシャル層12の上表面上に形成する。ホトレジスト層(不図示)を付着し、且つ第1マスキングステップにおいて適宜パターン形成し、続いてエピタキシャル層12の領域16上方の酸化

層20用の埋込層を形成し、その結果得られる構成は第2図に示してある。ホトレジスト層20を付着させ且つ第2マスキングステップにおいて適宜パターン形成させ、次いでエピタキシャル領域22上方の酸化物をプラズマエッチして、チャンネルストップの形成の準備をなし、且つエピタキシャル領域24の上方の酸化物をプラズマエッチして、PNPトランジスタ埋込層の形成の準備をなす。ボロン等のP型ドーパントをエピタキシャル領域22及び24内に導入する。好適なイオン注入ドーズとしては、約50keVのエネルギーで 1×10^{15} イオン/cm²であり、好適なアニールとしては30分間1,000°Cである。

次の処理シーケンスにおいて分離島状部が形成され、その結果得られる構成を第3図に示してある。ホトレジスト20及び酸化物14を剥離し、且つドープしていないエピタキシャル層30をN型エピタキシャル層12上に1乃至2ミクロンの厚さに成長させる。エピタキシャル層30を酸化させ、その際に該表面上に約200Åの厚さの酸

物のプラズマエッティングを行なう。該ホトレジストを剥離し、且つ約100Åの薄い保護熱酸化物をエピタキシャル領域16上方に成長させる。アルミニウム等の高速拡散P型不純物及び砒素等の低速拡散N型不純物を、適切なドーパント分布が得られる様なドーズ、エネルギー、及びアニール時間等の条件下において、薄い上側に存在する酸化物を介して、エピタキシャル領域16内に導入させる。アルミニウム-砒素イオン注入用の好適なアニールは、1時間当たり1,100°Cである。所望の分布(第2図参照)とは、高速で拡散するアルミニウムドーパントによって形成される、実質的に一様な濃度 2×10^{15} 原子/cm²をもつP-ウェル18である。低速で拡散する砒素ドーパントは、領域19で示した如く、その拡散範囲はもっと少ない。砒素注入は、例えば、 1×10^{15} 乃至 1×10^{16} イオン/cm²の範囲内のドーズで100keVのエネルギーにおいてなされる。

次の処理シーケンスにおいて、NPNトランジスタ用のチャンネルストップ及びPNPトランジ

化物層32を形成する。約1,500Åの窒化物を付着させ(層34)且つ45分間1,000°Cで酸化させて、窒化物層34の上表面上に薄い酸化物36を成長させる。

ホトレジスト層(不図示)を付与し且つ第3マスキングステップ(分離マスク)において適宜パターン形成し、続いて酸化物-窒化物-酸化物の混合層32, 34, 36のエッティングを行なう。酸化物層32及び36は、6:1BOEエッチ又はその他の適宜のプラズマエッチを使用してエッティングする。窒化物層34は、適宜のプラズマを使用してエッティングを行なう。酸化物-窒化物-酸化物32-34-36のサンドイッチ構成をマスクとして使用して、エピタキシャル層30をKOH内において6,000-7,000Åの深さへエッティングして、分離島状部と、PNP及びNPNトランジスタ用のシンクと、PNPトランジスタ用の接地コンタクト(+5V)とを形成する。

フィールド酸化物38を成長させ且つ本ウエハを平坦化させ、その結果得られる構成を第4図に

示してある。例えば、約25気圧において20分間1,000°Cの温度で該酸化物を成長させて、適宜の厚さの酸化物を形成することが可能である。残存する部分32,34,36は、適宜剥離する。

本明細書において説明する分離技術は、通常アイソプレナー(Isoplanar)技術として知られている1972年3月7日にPelitzerに発行された米国特許第3,648,125号に記載されているものと極めて類似している。結果的に発生する「バーズヘッド(鳥の頭)」部分を除去し、適宜の技術によって柵成体を平坦化させる。その1例として、1985年9月10日にBurtonに対して発行される米国特許第4,539,744号に記載されているものがある。

NPNトランジスタのシンク及びPNPトランジスタの接地は、次の処理シーケンスにおいて形成され、その結果得られる柵成を第5図に示してある。ホトレジストを第4図に示した柵成体の表面に付与し且つ第4マスキングステップにおいて

パターン形成して、シンク領域40及びPNP接地領域42を露出させる。焼等の適宜のN型ドーパントを、150keVのエネルギーで 1×10^{14} イオン/cm²のドーズでイオン注入し、且つウエハを、例えば、窒素雰囲気中において30分間1,000°Cの温度でアニールする。

NPNトランジスタのベースは次の処理シーケンスにおいて形成し、又PNPトランジスタのシンクもこの時点に完成される。ホトレジスト層(不図示)を付着し且つ第5マスキングステップにおいて適宜パターン形成して、NPNトランジスタの領域44(第5図)内にボロン等の適宜のP型ドーパントをイオン注入してベースを形成し、且つPNPトランジスタのシンク領域46(第5図)内にイオン注入する。ボロンは、エネルギーが最大で約100keVで 5×10^{14} 乃至 5×10^{15} イオン/cm²のドーズで、イオン注入し、且つウエハを、例えば、窒素雰囲気中において30分間1,000°Cの温度でアニールする。1,000乃至4,000Åの間のNPNベース幅が好適で

ある。

PNPトランジスタのベースは次の処理シーケンスにおいて形成する。ホトレジスト層(不図示)を付着し且つ第6マスキングステップにおいて適宜パターン形成して、PNPトランジスタの領域48(第5図)内へ砒素等の適宜のN型ドーパントのイオン注入を行なって、ベースを形成する。砒素は、150keVのエネルギーで 5×10^{14} イオン/cm²のドーズでイオン注入し、且つウエハを、例えば、窒素雰囲気中において、15分間950°Cにおいてアニールする。1,000乃至2,000ÅのPNPベース幅が好適である。

第5及び第6のマスキングステップから得られる柵成を第6図に示してある。

第7乃至第10マスキングステップは、1986年9月2日にKoh et al.に発行された米国特許第4,609,568号に記載される方法に実質的に従って、ポリシリコン層のドーピング及びパターン形成を行なって、相互配線及びエミッタを形成する。所望の厚さのポリシリコン

層を、例えば、CVDによって付着させる。拡散又はイオン注入プロセスに関連して公知のホトリソグラフィ技術を使用して、選択した不純物の型を該ポリシリコン層の選択した領域内に導入する。第7マスキングステップにおいて、NPNトランジスタのエミッタ相互配線50、エミッタ52、及びコレクタ相互配線54と、PNPトランジスタのベース相互配線66及び外因的ベース68とを形成する為に、適宜のN型イオン注入を行なう。この時点において、PNPトランジスタの接地相互配線68用のイオン注入も行なう。第8マスキングステップにおいて、PNPトランジスタ用のエミッタ相互配線60と、エミッタ62と、コレクタ相互配線64、及びNPNトランジスタのベース相互配線56と外因的ベース58を形成する為に適宜のP型イオン注入を行なう。第9及び第10マスキングステップは、シリサイド除去技術を実行して、抵抗及びダイオードを画定し且つポリシリコン層をパターン形成する。結果的に得られるドープ領域のパターン及び配列は、形成すべ

き所望の能動及び受動デバイスに従って選択される。前掲したKoh et al.特許に記載されているシリサイド除去技術用のマスキングステップの順番は、所望により、逆にすることが可能である。残存する窒化シリコンを剥離し且つ相互配線線上にシリサイドを形成する。この点に関する技術は、例えば、Kohに対して1986年1月28日に発行された米国特許第4,567,058号に記載されている。その結果得られる構成を第7図に示してある。

本発明に特別のシリサイド除去技術に付いて詳細に説明する。約1,000ÅのSi₃N₄を、ポリシリコン層の上側に存在する薄い酸化物の上に付着させる。ウエハを30分間約800°C又は900°Cでアニールして、ドーパントをポリシリコン層内に分布させる。ホトレジスト層(不図示)を付着し、且つ第9マスキングステップにおいて適宜パターン形成して、NPN及びPNPトランジスタ用の所望の相互配線パターンに該ポリシリコン層を画定する。抵抗及びダイオードはマスク

されたままである。窒化物、酸化物及びポリシリコンを適宜のプラズマでエッチして、且つ残存するホトレジストを酸素プラズマ中において剥離させる。別のホトレジスト層(不図示)を付着し且つ第10マスキングステップにおいて適宜パターン形成して、上述した如く、抵抗及びダイオード上方の窒化物及び薄い酸化物を除去することを許容する。残存するホトレジストを酸素プラズマエッチ中において剥離させる場合、窒化物は、シリサイドを形成すべき区域においてのみ残存する。この時点でアニールを実施して、ポリシリコンのライン50、54、56、60、64、66、69からドーパントを、下側に存在するエピタキシャル領域内に拡散させ、その間に、例えば、NPNトランジスタのエミッタ52及び外因的ベース58、及びPNPトランジスタのエミッタ62及び外因的ベース68を形成する。30分間950°Cでのアニールが好適である。本構成を、例えば、適宜10乃至60分の間850°C乃至1,000°Cの温度で熱酸化させることによって、全て

のポリシリコン及びエピタキシャルシリコン区域を酸化物70でバッシャートし、一方、シリサイドはこれらの区域から除去されるべきものである。

1変形例においては、NPN及びPNPトランジスタ用の外因的ベースは、1986年2月28日に発明者Voraとして出願され本願出願人に譲渡されている米国特許出願第834,926号に記載されている技術に実質的に従って、延長される。この変形例では、著しく低いベース抵抗が得られ、従ってトランジスタの性能が改善される。特に、ポリシリコン画定マスキングステップ9は、NPN及びPNPトランジスタ用に別々のポリシリコン画定マスクを使用する2つのマスキングステップ9A及び9Bによって、置換される。上述した如く、窒化シリコンを、ポリシリコン層の上側に存在する薄い酸化物の上に付着し、且つアニールする。ホトレジスト層(不図示)を付着し、且つマスキングステップ9Aにおいて適宜パターン形成して、NPNトランジスタ用の相互配線パターンを画定する。窒化物及び酸化物、次いでポ

リシリコンを上述した如くにエッチングし、NPNエミッタ相互配線50の周りの領域44の部分を露出させる。エネルギー40keVで 4×10^{14} イオン/cm²でのBF₃のイオン注入が好適である。残存するホトレジストを酸素プラズマ中において剥離する。別のホトレジスト層(不図示)を付着し且つマスキングステップ9Bにおいて適宜パターン形成して、PNPトランジスタ用の相互配線パターンを画定する。NPNトランジスタ、ダイオード、及び抵抗はマスクされたままである。窒化物及び酸化物、次いでポリシリコンを上述した如くにエチチングし、それにより、PNPエミッタ相互配線60の周りの領域48の部分が露出される。外因的PNPベースイオン注入は、堿等のN型不純物を使用して行なわれ、その場合に、40-80keVのエネルギーで 1×10^{14} 乃至 5×10^{14} イオン/cm²のドーズとすることが好適である。残存するホトレジストは酸素プラズマ中において剥離し、且つマスキングステップ10に関して上述した処理が繰り返す。その結果得られる構

成は第8図の関連する部分に示してある。

以上、本発明の具体的実施の態様に付いて詳細に説明したが、本発明はこれら具体例にのみ限定されるべきものでは無く、本発明の技術的範囲を逸脱すること無しに種々の変形が可能であることは勿論である。例えば、特定の物質、ドーズ、温度、厚さ、及び時間を記載したが、これらは本発明を十分に理解することを可能とする為になされたものであって、何等限定的意図をもってなされたものではない。更に、本発明のトランジスタの性能は、付加的な構造的特徴又は別のドーピング分布を与えることによって改善せることが可能であり、それは、ある場合には、本プロセス即ち方法に1つ又はそれ以上の付加的なマスキングステップを付加することによって本プロセスを複雑化させる。このことの1例としては、Voraの米国特許出願第834,926号に開示して上述したNPN及びPNPトランジスタの外因的ベースの延長に関するものであり、それは單に1つの付加的なマスキングステップを必要とする過ぎな

い。更に、Vora et al. が発明者である米国特許出願第817,231号に記載される如きその他の相互密接技術を本発明において使用することも可能である。

尚、本発明は、実施上、以下の構成の1つ又はそれ以上を取りえるものである。

(1) 第1導電型の半導体基板上に相補型垂直バイポーラトランジスタを製造する方法において、前記基板上に反対導電型の第1エピタキシャル層を形成し、前記第1エピタキシャル層の第1領域内に前記第1導電型の高速拡散ドーパントを導入してウエルを形成すると共に反対導電型の低速拡散ドーパントを導入して埋込層を形成し、前記第1エピタキシャル層の第2領域内に第1導電型のドーパントを導入して埋込層を形成し、前記第1エピタキシャル層上に第2エピタキシャル層を形成し、前記第1領域及び第2領域の上方で前記第2エピタキシャル層内に夫々のシリコン島状部を形成し、前記第1領域上方で前記エピタキシャルシリコン島状部内に第1導電型のポリシリコ

ンエミッタトランジスタを形成し、前記第2領域上方で前記分離島状部内に第2導電型のポリシリコンエミッタトランジスタを形成する上記各ステップを有しており、前記第2導電型のトランジスタは前記第1導電型のトランジスタと相補的であることを特徴とする方法。

(2) 上記第(1)項において、前記基板をドープして低固有抵抗を得るステップを有することを特徴とする方法。

(3) 上記第(2)項において、前記高速拡散ドーパントはアルミニウムであり、更に、前記基板と電気的に一体化されており且つ 2×10^{15} 原子/ cm^2 の実質的に一様なアルミニウム濃度を持ったPウエルを形成するステップを有することを特徴とする方法。

(4) 上記第(3)項において、前記基板をドーピングして $0.001 \Omega \cdot \text{cm}$ の固有抵抗を得るステップを有することを特徴とする方法。

(5) 上記第(1)項において、前記第1導電型はP型であり、前記反対導電型はN型であり、前

記第1トランジスタタイプはNPNであり、且つ前記第2トランジスタタイプはPNPであることを特徴とする方法。

(6) 第1導電型の半導体基板上に相補型垂直バイポーラトランジスタを製造する方法において、前記基板上のエピタキシャルシリコン層内の第1導電型のウエルであって前記基板と電気的に一体かされているウエル内において反対導電型の埋込層が下側に存在する第1エピタキシャル島状部を形成し、前記第1エピタキシャルシリコン島状部内に第1導電型のポリシリコンエミッタトランジスタを形成し、反対導電型の前記エピタキシャルシリコン層の領域内に第1導電型の埋込層が下側に存在する第2エピタキシャルシリコン島状部を形成し、前記第2分離島状部内に第2導電型のポリシリコンエミッタトランジスタを形成する上記各ステップを有しており、前記第2導電型のトランジスタは前記第1導電型のトランジスタと相補的であることを特徴とする方法。

(7) 上記第(6)項において、前記基板は低固

有抵抗であることを特徴とする方法。

(8) 上記第(7)項において、前記ウエルは、 2×10^{15} 原子/ cm^2 の実質的に一様なアルミニウム濃度を持った P ウエルであることを特徴とする方法。

(9) 上記第(8)項において、前記基板の固有抵抗は $0.001 \Omega \cdot \text{cm}$ であることを特徴とする方法。

(10) 上記第(6)項において、前記第1導電型は P 型であり、前記反対導電型は N 型であり、前記第1トランジスタタイプは NPN であり、前記第2トランジスタタイプは PNP であることを特徴とする方法。

(11) 相補的垂直バイポーラトランジスタ構成体において、第1導電型の基板、前記基板上の第1エピタキシャル層であってその第1領域が第1導電型であり且つ前記基板と電気的に一体化されており且つその第2領域は反対導電型である第1エピタキシャル層、前記第1エピタキシャル層の前記第1領域上方で第2エピタキシャル層内に

(14) 上記第(13)項において、前記 P ウエルは 2×10^{15} 原子/ cm^2 のアルミニウム濃度を持っており、且つ前記基板は $0.001 \Omega \cdot \text{cm}$ の固有抵抗を持っていることを特徴とする構成体。

(15) 上記第(11)項において、前記第1導電型は P 型であり、且つ前記反対導電型は N 型であることを特徴とする構成体。

(16) 相補的垂直バイポーラトランジスタ構成体において、第1導電型の基板、前記基板と電気的に一体化され且つその上に形成された第1導電型のエピタキシャル領域に渡って画定された第1エピタキシャルシリコン島状部であってその下側は反対導電型の第1埋込層が存在しており且つ反対導電型のポリシリコンエミッタ及び前記第1エミッタと前記第2埋込層との間に延在する第1導電型のベース領域を持った第1エピタキシャルシリコン島状部、前記基板上に形成した反対導電型のエピタキシャル領域に渡って画定された第2エピタキシャルシリコン島状部であって前記第1導電型の第2埋込層がその下側に存在しており且

画定された第1エピタキシャルシリコン島状部であってその下側には反対導電型の第1埋込層が存在しており且つ反対導電型の第1ポリシリコンエミッタ及び前記第1エミッタと前記第1埋込層との間に延在する第1導電型のベース領域を持つていて第1エピタキシャルシリコン島状部、及び前記第1エピタキシャルの前記第2領域上方で前記第2エピタキシャル層内に画定されている第2エピタキシャルシリコン島状部であって前記第1導電型の第2埋込層が下側に存在しており且つ第1導電型の第2ポリシリコンエミッタ及び前記第2エミッタと前記第2埋込層との間に延在する反対導電型のベース領域を持つた第2エピタキシャルシリコン島状部、を有することを特徴とする相補的垂直バイポーラトランジスタ構成体。

(12) 上記第(11)項において、前記基板は高導電性であることを特徴とする構成体。

(13) 上記第(11)項において、前記第1エピタキシャル領域は P ウエルであることを特徴とする構成体。

つ第1導電型の第2ポリシリコンエミッタ及び前記第2エミッタと前記第2埋込層との間に延在する反対導電型のベース領域を持つた第2エピタキシャルシリコン島状部、を有することを特徴とする相補型垂直バイポーラトランジスタ構成体。

(17) 上記第(16)項において、前記基板は高導電性であることを特徴とする構成体。

(18) 上記第(16)項において、第1導電型の前記エピタキシャル領域は P ウエルであることを特徴とする構成体。

(19) 上記第(18)項において、前記 P ウエルは 2×10^{15} 原子/ cm^2 のアルミニウム濃度を持っており且つ前記基板は $0.001 \Omega \cdot \text{cm}$ の固有抵抗を持っていることを特徴とする構成体。

(20) 上記第(16)項において、前記第1導電型は P 型であり、且つ前記反対導電型は N 型であることを特徴とする構成体。

4. 図面の簡単な説明

第1図は基板上にドープしたエピタキシャル層及び酸化物層が形成され且つ該酸化物層が NPN

トランジスタの埋込層及びP-タブ用に画定されている集積回路構成体の概略断面図、第2図はNPNトランジスタ用にチャンネルストップを及びPNPトランジスタ用に埋込層用に該酸化物層を更に画定した後の状態を示した概略断面図、第3図は分離島状部を画定した後の状態を示した概略断面図、第4図はフィールド酸化物の形成をした後の状態を示した概略断面図、第5図はNPNトランジスタ用のシンク及びPNPトランジスタ用の接地を形成した後の状態を示した概略断面図、第6図はNPNトランジスタ用のベース及びPNPトランジスタ用のシンクとベースを形成した後の状態を示した概略断面図、第7図はポリ画定及びシリサイド形成を行なった後の状態を示した概略断面図、第8図は別法によりポリ画定及びシリサイド形成処理シーケンスを実施した後の状態を示した概略断面図、である。

(符号の説明)

10：シリコン基板

12：エピタキシャル層

特許出願人

フェアチャイルド・セミコンダクタコーポレーション

図面の説明(内容に変更なし)

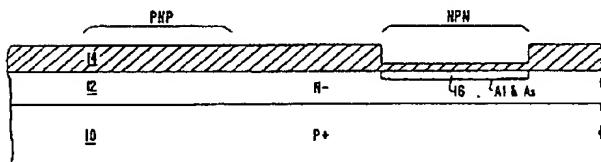


FIG. 1

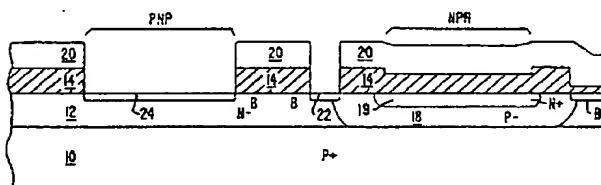


FIG. 2

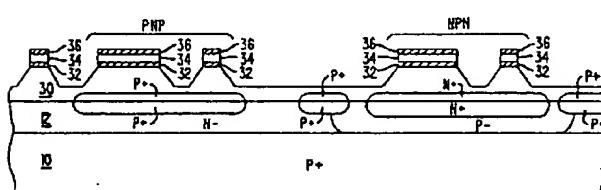


FIG. 3.

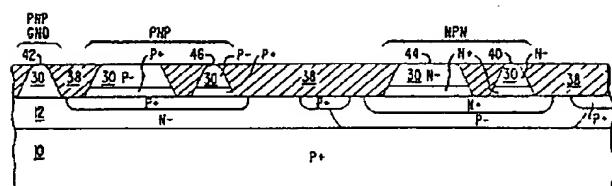


FIG. 4.

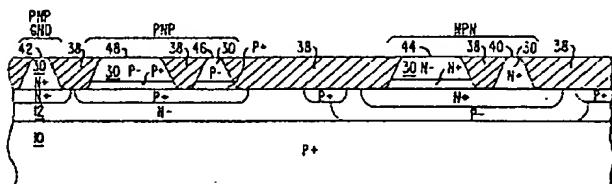


FIG. 5.

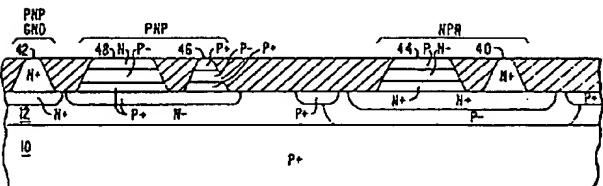


FIG. 6.

手続費未納正書 (方式)

平成元年1月9日

特許庁長官 吉田文毅

1. 事件の表示 昭和63年 特許願 第188501号

2. 発明の名称 相補型コンタクトレス垂直バイポーラ
トランジスタの製造方法

3. 補正をする者

事件との関係 特許出願人

名称 フェアチャイルド セミコンダクタ
コーポレーション

4. 代理人

住所 東京都港区虎ノ門1丁目17番1号
第5森ビル (電話502-2626)氏名 小橋国照特許事務所
(5779)弁理士 小橋一男
(他1名)5. 補正命令の日付 昭和63年10月5日
(昭和63年10月25日発送)6. 補正の対象 ①願書 (特許出願人代表者補充)
②委任状 (訳文付)
③図面 (内容に変更なし)

7. 補正の内容 別紙の通り

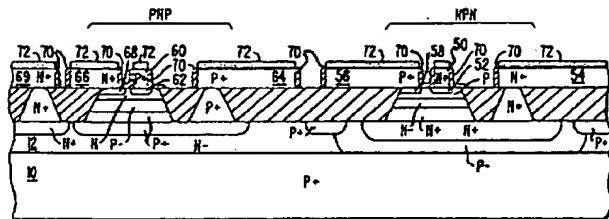


FIG. 7.

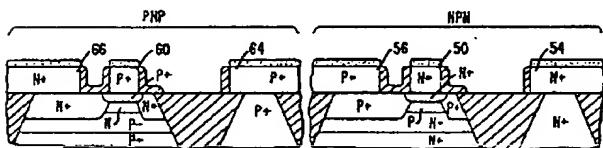


FIG. 8A.

FIG. 8B.